

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 03155144
PUBLICATION DATE : 03-07-91

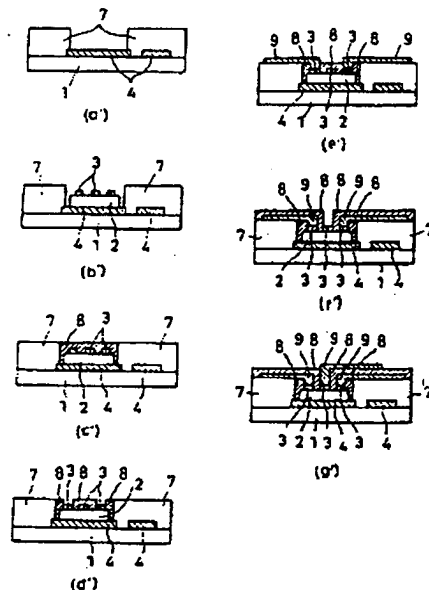
APPLICATION DATE : 13-11-89
APPLICATION NUMBER : 01295672

APPLICANT : SHARP CORP;

INVENTOR : IKEGAWA GIHEI;

INT.CL. : H01L 21/60

TITLE : MOUNTING METHOD FOR BARE SEMICONDUCTOR IC CHIP



ABSTRACT : **PURPOSE:** To connect even if the arraying pitch of conductor pads of a bare semiconductor IC chip is small and to reduce its thickness by die bonding the chip to the hole of an insulating film, and then forming multilayer interconnections of liquid resin, thin film conductors by a photolithography method.

CONSTITUTION: Conductor interconnections 4 are formed on a supporting plate 1, a hole having a size larger than the profile shape of a bare semiconductor IC chip 2 by a predetermined amount is punched by a die at an insulating film 7, and the film is adhered to the plate 1 with adhesive. Then, the chip 2 is adhered to the hole of the film 7 with the adhesive, an air gap between the film 7 and the chip 2 and the surface of the chip 2 are coated uniformly with liquid resin 8 of the same type as that of the film 7 in the same height as that of the film 7, and the resin is thermally cured. Then, after the resin on conductor pads 3 on the chip 2 is removed by a photolithography method, a conductor film is formed on the entire surface, predetermined conductor interconnections 9 are formed by a photolithography method, and this process is repeated more than once.

COPYRIGHT: (C)1991,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-155144

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月3日

H 01 L 21/60

3 2 1 E

6918-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 ベア-半導体ICチップ実装方法

⑯ 特 願 平1-295672

⑰ 出 願 平1(1989)11月13日

⑱ 発 明 者 池 側 義 平 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 西 田 新

明 細 書

1. 発明の名称

ベア-半導体ICチップ実装方法

2. 特許請求の範囲

導体回路を形成してなる支持板にベア-半導体ICチップを実装する方法において、

下記(a)→(b)→(c)→(d)→(e)の順に各工程を経て、かつ(e)の工程を1回以上くりかえし行うことを特徴とするベア-半導体ICチップ実装方法。

(a) ベア-半導体ICチップの厚さより所定分厚い絶縁フィルムにあらかじめベア-半導体ICチップの外形状より所定分大きい穴を形成する。

(b) この絶縁フィルムを上記支持板に接着剤を介して貼り合わせる。

(c) 上記ベア-半導体ICチップを接着剤を介して上記絶縁フィルムの穴部に接着する。

(d) ベア-半導体ICチップと絶縁フィルムの空隙およびベア-半導体ICチップの表面

を絶縁フィルムと同種の液状樹脂で絶縁フィルム層と高さが均一になるように塗布した後、熱硬化する。

(e) ベア-半導体ICチップ上の導体パッド部の上部の樹脂をフォトリソ法で除去した後、全面に導体膜を形成し、フォトリソ法で所定の導体配線を形成する。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は導体回路を形成してなる支持板にベア-半導体ICチップを実装する方法に関する。

<従来の技術>

ベア-半導体ICチップを支持板に実装する方法として、ワイヤーボンディング法がある。第2図(a)はこのワイヤーボンディング法によりベア-半導体ICチップを支持板に実装した平面構造を示しており、第2図(a')はそのA-A'に沿った断面構造を示す。支持板1の主面上にベア-半導体ICチップ2が設けられその表面上に設けられた導体パッド3と支持板1上の導体パタ

ーン4とが金、アルミニウム、銅等の金属細線5で接続されている。この支持板1上のペアー半導体1Cチップ2および金属細線5は例えばシリコン、エポキシなどの樹脂6により封止されている。この封止により湿気等による腐食や外部からの衝撃等に対しペアー半導体1Cチップ2および金属細線5は保護されている。

<発明が解決しようとする課題>

1Cが大型化するに従い集積度が増加すると導体パッド3の配列ピッチが減少し、さらに第1図(b)で示すように導体パッド3をペアー半導体1Cチップの表面全体に配列する必要がある。しかしワイヤーボンディング法では導体パッド3と導体配線4の接合部分はボール状に形成された金属細線5の先端を超音波と熱および荷重を加えることにより、第3図の5'のようにつぶれた形状となる。例えば金属細線5の線径を25 μ mとした場合、5'の大きさは80~100 μ mとなり、導体パッド3の配列ピッチは概ね110 μ m以上にしなければならない。したがって導体パッド3

の配列ピッチが小さくなるとワイヤーボンディング法では限界が生じる。また導体パッド3がペアー半導体1Cチップ2の表面全体に配列される場合、ワイヤーボンディング法では第3図で示すように金属細線5がペアー半導体1Cチップ2の角部等に接触するため使用できない。さらに厚さを薄くして実装する場合、ワイヤーボンディング法では金属細線5の高くなった部分を樹脂6でカバーする必要があるため一定以上薄くできない。

本発明は上記事情に鑑みてなされたものであり、その目的はペアー半導体1Cチップの導体パッドの配列ピッチが小さい場合でも接続を可能とし、かつ厚さを薄くするペアー半導体1Cチップ実装方法を提供することである。

<課題を解決するための手段>

本発明のペアー半導体1Cチップ実装方法は、導体回路を形成してなる支持板にペアー半導体1Cチップを実装する方法において、下記(a)→(b)→(c)→(d)→(e)の順に各工程を経て、かつ(e)の工程を1回以上

くりかえし行うことを特徴とする。

- (a) ペアー半導体1Cチップの厚さより所定分厚い絶縁フィルムにあらかじめペアー半導体1Cチップの外形形状より所定分大きい穴を形成する。
- (b) この絶縁フィルムを上記支持板に接着剤を介して貼り合わせる。
- (c) 上記ペアー半導体1Cチップを接着剤を介して上記絶縁フィルムの穴部に接着する。
- (d) ペアー半導体1Cチップと絶縁フィルムの空隙およびペアー半導体1Cチップの表面を絶縁フィルムと同種の液状樹脂で絶縁フィルム層と高さが均一になるように塗布した後、熱硬化する。
- (e) ペアー半導体1Cチップ上の導体パッド部の上部の樹脂をフォトリソ法で除去した後、全面に導体膜を形成し、フォトリソ法で所定の導体配線を形成する。

<作用>

本発明において、ペアー半導体1Cチップを絶

縁フィルムの穴部に接着した後、液状樹脂を充填した後熱硬化し、フォトリソ法で導体配線を形成するので導体配線の線幅、間隔は数 μ mとなる。したがって、ペアー半導体1Cチップの導体パッドの配列ピッチを小さくすることができる。また導膜導体を平面的に形成するので厚さは薄くなる。

<実施例>

第1図(a)~(g)は本発明の一実施例の方法における段階的構造を示したものであり、

(a')~(g')はその各段階においてA-A'に沿った断面構造を示したものである。以下図の工程にしたがって説明する。

- (a) 導体配線4を例えばプリント基板やセラミックス配線板などによる支持板1上に形成し、所定の厚さを有する絶縁フィルム7をペアー半導体1Cチップの外形形状より所定分大きい穴を金型等で抜いた後、支持板1に接着剤で貼りつける。
- (b) 絶縁フィルム7の穴部にペアー半導体1Cチップ2を接着剤により接着する。(c) 絶縁フィルム7とペアー半導体1Cチップ2の空隙部分

およびペアー半導体ICチップ2の表面に絶縁フィルム7と同種の液状樹脂8を絶縁フィルム7と同じ高さになるように均一に塗布した後、熱硬化する。

(d) ペアー半導体ICチップ2上の導体パッド3の上部の樹脂をフォトリソ法で除去する。

(e) スパッタ、蒸着等により(d)の状態の表面全体にアルミニウム、銅等の導体膜を成膜した後、フォトリソ法で所望の導体配線9を形成する。

(f) (e)の状態の表面全体に(c)と同様の液状樹脂8を均一に塗布した後、フォトリソ法で(d)、(e)で導体配線9と接続されていない導体パッド3の上部を除去する。

(g) スパッタ、蒸着等により(f)の状態の表面全体にアルミニウム、銅等の導体膜を成膜した後、フォトリソ法で所定の導体配線9を形成する。その後、ペアー半導体ICチップ2、導体配線9を湿気等による腐食および外部からの衝撃から保護するために液状樹脂8をフォトリソ法あるいはスクリーン印刷法により所定の形状に塗布する。

<発明の効果>

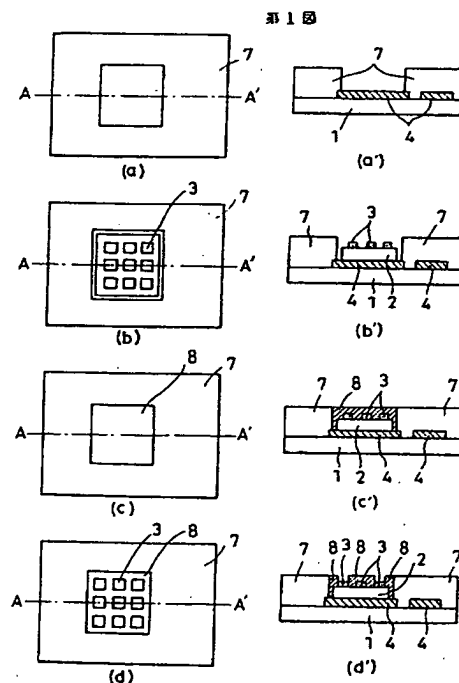
本発明では、絶縁フィルムの穴部にペアー半導体ICチップをダイボンドした後、液状樹脂、薄膜導体による多層配線をフォトリソ法により形成する為、ペアー半導体ICチップの導体パッドの配列ピッチが小さい場合あるいはペアー半導体ICチップの表面全体に導体パッドを配列する場合においても接続が容易である。しかも、薄膜導体を平面的に形成するので厚さを薄くすることができる。さらに、表面全体を液状樹脂でコーティングするので信頼性の高いペアー半導体ICチップの実装が実現できる。

4. 図面の簡単な説明

第1図は本発明方法の実施例を経時的に示す図、第2図および第3図は従来例の説明図である。

- 1・・・支持板
- 2・・・ペアー半導体ICチップ
- 3・・・導体パッド
- 4・・・導体配線
- 5・・・金属細線

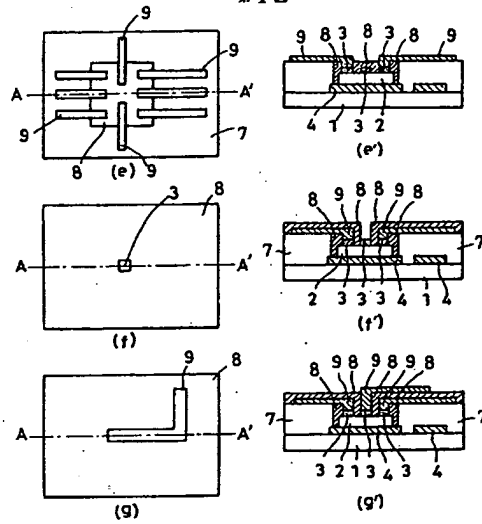
- 6・・・樹脂
- 7・・・絶縁フィルム
- 8・・・液状樹脂
- 9・・・導体配線



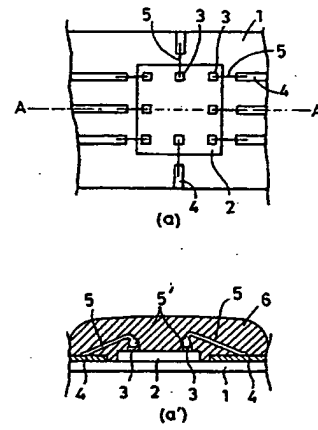
特許出願人
代理人

シャープ株式会社
弁理士 西田 新

第1圖



第2圖



第3圖

